

國科會計畫

計畫編號: NSC96-2221-E239-032

研究期間: 9608-9707

先進 LDMOS 技術開發與其抗 ESD 測試/模型化建立之研究
Technology Development and ESD Testing/Compact Modeling Establishment of
an Advanced LDMOS

陳勝利; 陳宏偉; 陳榮堅; 陳柏穎; 李宜穆; 陳勛祥; 陳漢臣

中文摘要

智慧功率技術裡的 DMOS 功率電晶體一般被使用在輸出端驅動器上，例如：汽車電子工業之 ASICs 高性能應用。此外，此元件也被利用當做高壓 ESD 保護元件，而此元件通常被做在閘極偏壓主動鉗制電路裡，而此電路在單純的 MOS 操作下被當作導通 ESD 電流的一個重要元件。然而，在中等尺寸驅動器上通常會有顯著的 ESD 的問題，這歸因於寄生的 BJT 所導致觸發的不同。而且功率半導體元件抗 ESD 的能力有時甚至比一般低電壓製程之積體電路更為脆弱。然而，為了要有效分析 ESD 的特性，瞭解此寄生 BJT 的元件結構將會有相當大的幫助。由於 LDMOS 功率元件在應用上，本身週遭環境及外來突波均有可能產生非常高的電壓。因此功率元件也必須考量抗高靜電壓破壞 ESD (Electrostatic Discharge, ESD)/突然外來過壓破壞(Electric Overstress, EOS) 之能力。以往功率元件較不設計有防高電壓、EOS 破壞的保護設計。因此，本計劃擬提 LDMOS 功率元件具有高 ESD/EOS 防護之設計，用以使其之具較佳的可靠性。靜電放電的問題日益嚴重，傳統靜電防護元件的設計大多利用嘗試錯誤法實際測試或用 SPICE 模擬等效電路，以獲得適合的保護元件。本研究先利用 Tsuprem-4 及 MEDICI 等 EDA 模擬軟體設計出 Lateral DMOS 電性參數值，而且由 TLP 量測找出 Design Window 中適切的 ESD 保護原件，再利用佈局參數分析比較其結果，使保護元件的電性表現符合 Design Window 範圍來達到 LDMOS 的 ESD 保護最佳化的目的。在汽車電子功率元件技術中，高效能的 ESD 保護結構應該具有一個高於 40V 的保持電壓(可由 TLP 技術測得)。這能確保一個良好的 ESD 保護效能，在高電壓峰值時不會有發生 Latch-up 的危險。本計劃中將提出最佳化方法去達到這樣的目的，對於功率結構的分析，針對 ESD 應力下我們使用 TLP 測量工具，HBM 測試，EMMI 測量和 2D-元件模擬來研究 40V-LDMOS 功率電晶體詳細的物理結構。最後希望此功率技術產品的 ESD 性能可通過 > 4KV、保持電壓 > 40V。根據研究，我們提出一個有關 ESD-LDMOS 簡潔

模型，這個模型成功的描述出 LDMOS 的高電流特性。

關鍵字：LDMOS；靜電放電；過壓破壞；拴鎖效應；人體模型；快速傳輸線脈衝